

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-133213

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

G01B 7/34  
 A61B 5/117  
 G01B 7/28  
 G06T 1/00  
 H01L 27/04  
 H01L 21/822

(21)Application number : 11-317228

(71)Applicant : SONY CORP

(22)Date of filing : 08.11.1999

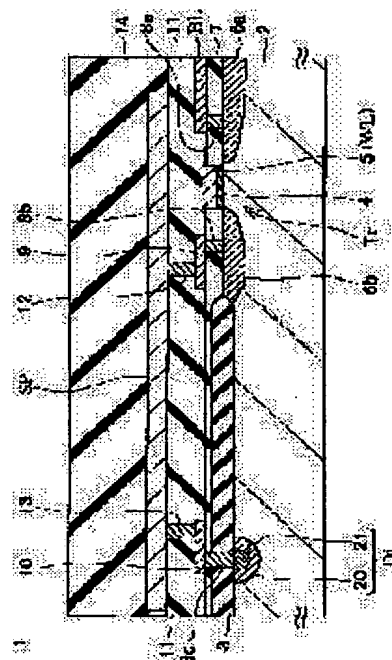
(72)Inventor : KOSHIO KENJI

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a fingerprint sensor of a structure not destroying a switching element or the like even when static electricity is discharged between a finger and a sensing pad electrode.

**SOLUTION:** This device is provided with the switching element Tr formed on a semiconductor substrate (or a semiconductor layer supported by a substrate) 2, and the sensing pad electrode SP connected to one impurity area 6b of it for inducing electric charges for an amount corresponding to a capacitance value between a detection object (finger) and the electrode or supplying them through the switching element Tr. A protective means connected to the sensing pad electrode SP for releasing excessive electric charges impressed or stored on the sensing pad electrode SP, a protective diode Di for instance, is formed on the semiconductor substrate 2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

CLAIMS

---

## [Claim(s)]

[Claim 1] A semiconductor device with which a safeguard which misses a superfluous charge which is characterized by providing the following, and which is a semiconductor device, was connected to the above-mentioned sensing pad electrode, and was impressed or accumulated in a sensing pad electrode is formed in the above-mentioned semiconductor substrate or a semiconductor layer A switching element formed in a semiconductor layer supported by a semiconductor substrate or substrate A sensing pad electrode with which it connects with one impurity range of the switching element concerned, and a charge of an amount according to an electrostatic-capacity value between detection objects is supplied through induction or the above-mentioned switching element

[Claim 2] The above-mentioned safeguard is a semiconductor device according to claim 1 which is the diode which consists of the 1st impurity range of the 1st conductivity type formed in a front face of the above-mentioned semiconductor substrate or a semiconductor device, and the 2nd impurity range of the 2nd conductivity type formed in a front face in the 1st impurity range concerned.

[Claim 3] A semiconductor device

according to claim 2 with which pressure-proofing of the 2nd impurity range of the above on the basis of potential of the 1st impurity range of the above is set up lower than pressure-proofing of one impurity range of a switching element to which the above-mentioned sensing pad electrode was connected.

[Claim 4] The above-mentioned switching element is a semiconductor device according to claim 1 which is the insulated-gate field-effect transistor turned on or turned off according to control voltage impressed to the gate.

[Claim 5] A switching element formed in a semiconductor layer supported by a semiconductor substrate or a substrate characterized by providing the following, A sensing pad electrode with which it connects with one impurity range of the switching element concerned, and a charge of an amount according to an electrostatic-capacity value is supplied through induction or the above-mentioned switching element between detection objects, A manufacture method of a semiconductor device of having a safeguard which misses a superfluous charge which connected with the above-mentioned sensing pad electrode, was formed in the above-mentioned semiconductor substrate or a semiconductor layer, and was impressed or accumulated in a sensing pad electrode The 1st impurity

range of the 1st conductivity type formed in a front face in the above-mentioned semiconductor substrate or a semiconductor layer as the above-mentioned safeguard. The 2nd impurity range of the 2nd conductivity type formed in a front face in the 1st impurity range concerned

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention can be used as an electrostatic-capacity-type fingerprint sensor, and relates to the semiconductor device and its manufacture method of the structure where destruction of the switching element by static electricity etc. can be prevented effectively.

[0002]

[Description of the Prior Art] a principal [ in / in the fingerprint authentication system conventionally used for uses, such as close leaving management, in many cases / the security system on recent years and a computer network, a personal digital assistant, etc. ] -- it has been observed as an authentication tool. There are the optical detecting method and the electrostatic-capacity type detecting method in the fingerprint detection method used by the fingerprint authentication system. The electrostatic-capacity type detecting

method is the method of detecting the electrostatic-capacity value between the electrode of a fingerprint sensor, and a finger (only henceforth capacity value), and since the electrostatic-capacity type which is easy to miniaturize equipment is advantageous to carrying in a personal digital assistant etc., development of an electrostatic-capacity type fingerprint sensor is furthered positively.

[0003] Drawing 6 is the cel cross section of an electrostatic-capacity-type the semiconductor device for fingerprint detection. Although especially this semiconductor device for fingerprint detection (only henceforth a fingerprint sensor) is not illustrated, it has the cel array structure which has arranged many square cels in the shape of a matrix. [0004] The isolation insulating layer 101 is formed on the front face of the semiconductor substrate 100 in the cel shown in drawing 6, and the gate electrode 103 which serves as a word line through the gate insulator layer 102 is formed on the active region around the isolation insulating layer 101. The source drain impurity ranges 104a and 104b are formed in the active region of gate electrode 103 both sides. Thereby, the transistor Tr for switching is formed for every cel. The 1st interlayer insulation film 105 is formed on the source drain impurity ranges 104a and 104b of Transistor Tr, and the isolation insulating layer 101, and the bit line BL and the

connection layer 106 are formed on the 1st interlayer insulation film 105. And one source drain impurity range 104a of Transistor Tr is connected to the bit line BL.

[0005] The 2nd interlayer insulation film 107 is formed on a bit line BL and the connection layer 106, and the sensing pad electrode SP is formed on the 2nd interlayer insulation film 107. The sensing pad electrode SP consists of layered products, such as a barrier metal layer which consists of Ti etc., and an aluminum layer, etc., and is connected to source drain impurity range 104b of another side of Transistor Tr through the connection layer 106. Although especially the sensing pad electrode SP is not illustrated, the whole region is mostly formed by the rectangular pattern of a cel isolated between bonnet cels. The protective coat 108 which consists of silicon nitride is formed throughout the front face of a semiconductor chip so that the upper surface and the side of the sensing pad electrode SP may be covered.

[0006] Thus, if a finger describes the fingerprint recognition side (upper surface of drawing 6) of the fingerprint sensor constituted at the time of actuation, electrostatic capacity (capacitor) will be formed in it between the sensing pad electrode SP and a finger through a protective coat 108. At this time, a protective coat 108 functions as a part of capacitor insulator layer. Since

each cell size is usually formed more narrowly than the fingerprint pitch of a finger, the capacity value of this capacitor changes continuously between the cels of the direction which crosses a fingerprint. Concretely, in the cel which the heights of a fingerprint touch actually, capacity value serves as [ capacitor insulator layer thickness ] max almost in accordance with the thickness of a protective coat 108. Capacity value gradually decreases as it separates from the cel of this capacity max, and the minimum value is taken in the cel corresponding to the valley period heart between the heights of a fingerprint. If distribution of such capacity value change is taken two-dimensional within a cel array, the fingerprint of an everybody proper is detectable.

[0007] For example, the bit line BL is precharged to predetermined potential (for example, supply voltage VCC or touch-down potential), the word line WL chosen at the time of fingerprint detection is activated, and the transistors Tr which are the switching elements connected to the word line WL concerned are made to turn on all at once. Thereby, the charge of the amount corresponding to the electrostatic-capacity value according to the distance of the sensing pad electrode SP and fingerprint of a finger is supplied from a bit line BL for every cel. Or the charge by which induction was carried out to the sensing

pad electrode SP according to the electrostatic-capacity value of a cell proper is emitted to a bit line BL. Therefore, in the bit line group in a fingerprint sensor, the potential change corresponding to the 1-dimensional fingerprint pattern of the direction of a word line concerned appears. It is the fingerprint sensor exterior or the interior, for example, this potential change is changed into a digital signal after amplification, and is accumulated in the response address of a predetermined storage means. If only the number of word lines performs this actuation continuously for a short time, the image data corresponding to a two-dimensional fingerprint pattern can be obtained.

[0008]

[Problem(s) to be Solved by the Invention] However, since human being's body may generally be charged, in the above-mentioned conventional fingerprint sensor, as shown in drawing 7, when the electrified man brings a finger 200 close to the fingerprint detection side of a fingerprint sensor, static electricity may discharge to the sensing pad electrode SP, and a fingerprint sensor may be damaged.

[0009] It is in the semiconductor device of the structure where a switching element etc. is not destroyed even if the object of this invention has discharge of static electricity by the finger and sensing pad inter-electrode on the occasion of

fingerprint detection, and offering the manufacture method.

[0010]

[Means for Solving the Problem] A switching element formed in a semiconductor layer in which a semiconductor device concerning this invention was supported by a semiconductor substrate or substrate, Connect with one impurity range of the switching element concerned, and a charge of an amount according to an electrostatic-capacity value between detection objects Induction, Or it is the semiconductor device which has a sensing pad electrode supplied through the above-mentioned switching element. It connects with the above-mentioned sensing pad electrode, and a safeguard which misses a superfluous charge impressed or accumulated in a sensing pad electrode is formed in the above-mentioned semiconductor substrate or a semiconductor layer.

[0011] Suitably, the above-mentioned safeguard is diode which consists of the 1st impurity range of the 1st conductivity type formed in a front face of the above-mentioned semiconductor substrate or a semiconductor device, and the 2nd impurity range of the 2nd conductivity type formed in a front face in the 1st impurity range concerned. Moreover, it is desirable to set up lower than pressure-proofing of one impurity range of a switching element to which the

above-mentioned sensing pad electrode was connected pressure-proofing of the 2nd impurity range of the above on the basis of potential of the 1st impurity range of the above in this case.

[0012] In a semiconductor device of such a configuration, if a detection object approaches a switching element forming face side, according to distance of the detection object concerned and a sensing pad electrode, an electrostatic-capacity value of a capacitor which uses a detection object as an electrode on the other hand, and uses a sensing pad as another side electrode will become settled. In this condition, if a switching element is made to turn on, a charge at the time of carrying out charge and discharge will move the above-mentioned capacitor between bit lines. Since size of this amount of charges is decided according to the above-mentioned electrostatic-capacity value, potential change of a bit line by charge transfer becomes a thing reflecting distance of a detection object and a sensing pad electrode. Since distance with a detection object is detectable with this principle of operation, if it arranges in the shape of a matrix many cells which consist of a sensing pad electrode and a switching element and a cell array is made to constitute, it will become detectable [detailed two-dimensional patterns, such as a fingerprint, ]. That is, if a cell pitch is made sufficiently smaller than a pitch of

a fingerprint, since distance of a sensing pad electrode and a finger will change with irregularity of a fingerprint, a configuration pattern of a fingerprint is obtained by measuring this distance distribution by two-dimensional.

[0013] In a semiconductor device of this invention, when static electricity is charged on the body at the time of this fingerprint detection, even if discharge breaks out by finger and sensing pad inter-electrode, rapid electrification migration by this discharge does not pass through the inside of a switching element. That is, a charge generated by this discharge flows in a semiconductor substrate or a semiconductor layer from a safeguard, and is promptly discharged from a sensing pad electrode. Therefore, a charge generated by discharge is not impressed to an electrode of a switching element to which a sensing pad electrode was connected. Or even if impressed momentarily, it is removed immediately.

[0014] A switching element formed in a semiconductor layer in which a manufacture method of a semiconductor device concerning this invention was supported by a semiconductor substrate or substrate, A sensing pad electrode with which it connects with one impurity range of the switching element concerned, and a charge of an amount according to an electrostatic-capacity value is supplied through induction or the above-mentioned switching element

between detection objects, It is the manufacture method of a semiconductor device of having a safeguard which misses a superfluous charge which connected with the above-mentioned sensing pad electrode, was formed in the above-mentioned semiconductor substrate or a semiconductor layer, and was impressed or accumulated in a sensing pad electrode. As the above-mentioned safeguard The 1st impurity range of the 1st conductivity type formed in a front face in the above-mentioned semiconductor substrate or a semiconductor layer, In case diode which consists of the 2nd impurity range of the 2nd conductivity type formed in a front face in the 1st impurity range concerned is formed, a slanting ion implantation is used at least at the time of formation of the 1st lateral impurity range.

[0015] By manufacture method of this semiconductor device, when a safeguard consists of diode, a slanting ion implantation is used at the time of formation of the 1st impurity range of an outside which constitutes pn junction of the diode concerned, and a predetermined impurity is introduced into a front face of the specified quantity, a semiconductor substrate, or a semiconductor layer at it. Formation of the 2nd next impurity range can be performed using the same ion-implantation mask as the time of formation of this 1st impurity range (for

example, a resist or a pattern of an insulator layer). If it carries out without performing an ion implantation at the time of formation of the 2nd impurity range at an angle shallower than the time of the 1st impurity range formation, or hardly attaching an angle, the 2nd impurity range where round area is small will be formed in a front-face side in the 1st impurity range in self align.

[0016]

[Embodiment of the Invention] Drawing 1 is the plan of the electrostatic-capacity-type the semiconductor device for fingerprint detection concerning this operation gestalt (henceforth, fingerprint sensor). The cross section where drawing 2 met the A-A' line in drawing 1, and drawing 3 are the expanded sectional views of the protection diode in drawing 2.

[0017] As shown in each cel of this fingerprint sensor 1 at drawing 2, the isolation insulating layer 3 is formed in the front face of the semiconductor substrate (good also in the semiconductor layer on a substrate) 2, and the gate electrode 5 which serves as a word line WL through the gate insulator layer 4 is formed on the active region around the isolation insulating layer 3. for example, the gate insulator layer 4 -- number -- from an about tennnm silicon oxide film -- becoming -- the gate electrode 5 -- 100 several 10- it consists of hundreds of nm polish recon or a polycide. The source



drain impurity ranges 6a and 6b where n mold impurity was comparatively introduced into high concentration are formed in the active region of gate electrode 5 both sides. Thereby, the transistor Tr for switching is formed for every cel.

[0018] The 1st interlayer insulation film 7 which consists of silicon oxide is formed on the source drain impurity ranges 6a and 6b of Transistor Tr, and the isolation insulating layer 3. It pierces through an insulating layer 7 between the 1st layer, and plug 8a which reaches source drain impurity range 6a, and plug 8b which reaches source drain impurity range 6b are formed.

[0019] On the 1st interlayer insulation film 7, the bit line BL and the connection layer 9 are formed. The bit line BL is connected to one source drain impurity range 6a of Transistor Tr by being formed on plug 8a. Similarly, the connection layer 9 is connected to source drain impurity range 6b of another side of Transistor Tr by being formed on plug 8b.

[0020] The 2nd interlayer insulation film 11 is formed on the bit line BL and the connection layer 9. In the 2nd interlayer insulation film 11, the plug 12 of the 2nd layer which touches on the connection layer 9 is embedded. And the sensing pad electrode SP is formed on the 2nd interlayer insulation film 11 in contact with this plug 12 top of the 2nd layer. The sensing pad electrode SP consists of

layered products, such as a barrier metal layer which consists of Ti etc., and an aluminum layer, etc., and is connected to source drain impurity range 6b of another side of Transistor Tr through a plug 12, the connection layer 9, and plug 8b. The sensing pad electrode SP is mostly formed in the whole region by the rectangular pattern of a cel isolated between bonnet cels. And as this sensing pad electrode SP shows drawing 1, a large number are regularly arranged in the shape of a matrix within the cel array of the fingerprint sensor concerned.

[0021] The protective coat 14 which consists of silicon nitride is formed throughout the front face of a semiconductor chip so that the upper surface and the side of the sensing pad electrode SP may be covered.

[0022] Although the above configuration is the same as usual almost, as shown in drawing 2, by the fingerprint sensor 1 concerning this operation gestalt, the protection diode Di connected to each sensing pad electrode SP is formed in the front face of the semiconductor substrate 2. The protection diode Di consists of a cathode impurity range 20 which introduced n mold impurity into high concentration comparatively, and was formed in the silicon front face under the isolation insulating layer 3, and an anode impurity range 21 which introduced p mold impurity into high concentration comparatively, and was formed in the

front-face side in the cathode impurity range 20 in an area somewhat smaller than the cathode impurity range 20 concerned so that it may expand to drawing 3 and may be shown. the anode impurity range 21 top -- the isolation insulating layer 3 and the 1st interlayer insulation film (it omits in drawing 3) -- piercing -- the plugs 8a and 8b of the 1st layer of drawing 2, simultaneously formed plug 8c -- formation -- now, it is. This plug 8c is connected to the sensing pad electrode SP like the connection structure by the side of Transistor Tr through the connection layer 10 on the 1st interlayer insulation film, and the plug 13 of the 2nd layer embedded in the 2nd interlayer insulation film 11.

[0023] In manufacture of such a fingerprint sensor of a configuration, Transistor Tr is formed by the same method as usual. namely, the front face of the semiconductor substrate (or a SOI silicon layer and p -- a well is also good) 2 which consists of a silicon wafer of p mold, for example although not illustrated especially -- LOCOS -- the isolation insulating layer 3 is formed using law. The front face of the active region of the isolation insulating-layer 3 perimeter is thinly oxidized thermally, for example, and the gate insulator layer 4 is formed. On the whole surface, the polish recon used as the gate electrode 30 (word line WL) is formed by CVD, and a predetermined impurity is introduced

and electric-conduction-ized after membrane formation in the middle of the membrane formation on it. After forming refractory metal silicide on polish recon if needed, pattern NINGU of this electric conduction film and the gate insulator layer 4 is carried out. Thereby, the layered product of the gate insulator layer 4 and the gate electrode 5 is formed. By the ion implantation of n mold impurity which uses this layered product and the isolation insulating layer 3 as a self-align mask, the source drain impurity ranges 6a and 6b are formed in the active region of gate electrode 5 both sides. If predetermined activation annealing is performed, the transistor Tr for switching will be formed.

[0024] Silicon oxide etc. is deposited with a CVD method, the 1st interlayer insulation film 7 which covers the above-mentioned transistor Tr is formed, and flattening of the front face is carried out. In addition, in this example, the upper surface of the gate electrode 5 has expressed at the time of this flattening. On the 1st interlayer insulation film 7, the polish recon film of the 2nd layer is formed, pattern NINGU of this is carried out, and a bit line BL and the connection layer 9 are formed. The 2nd interlayer insulation film 11 which consists of silicon oxide is formed so that a bit line BL and the connection layer 9 may be embedded. In the 2nd interlayer insulation film 11, the plug 12 which

touches on the connection layer 9 is formed for example, by a blanket tungsten embedding method etc.

[0025] With this operation gestalt, it is the process of the back before formation of Transistor Tr, or the protection diode Di is formed in the bottom of the isolation insulating layer 3, carrying out a process in common in part depending on the case. A cross section shows the formation method of this protection diode to drawing 4.

[0026] First, the opening of the diode formation field was carried out, for example, the mask layers 22, such as a resist, are formed on the isolation insulating layer 3. As shown in drawing 4 (A), RIE etc. is performed by using this mask layer 22 as an etching mask, and the silicon side which should form diode is exposed.

[0027] After setting whenever [ over the substrate side of ion / incident angle ] as 45 degrees, with the mask layer 22 attached as shown in drawing 4 (B) for example, they are impregnation energy 75keV and dose  $1 \times 10^{15} / \text{cm}^2$  about phosphorus ion (P+). An ion implantation is carried out on conditions. Thereby, phosphorus ion (P+) is introduced into the semiconductor substrate 2 under the isolation insulating layer 3 in a large area larger than opening 3a of a surroundings lump and the isolation insulating layer 3.

[0028] Then, as shown in drawing 4 (C),

whenever [ incident angle / of ion ] is small set up with 7 times from a field vertical to a substrate side, and the 2nd ion implantation is performed. By this 2nd ion implantation, it is boron ion (BF2+), for example Impregnation energy 35keV and  $5 \times 10^{15} / \text{of dose cm}^2$  An ion implantation is carried out on conditions. Thereby, although it turns a little to the bottom of the isolation insulating layer 3, since the impregnation angle is smaller than the 1st ion implantation, boron ion (BF2+) is n+. It is an area somewhat smaller than impregnation field 20' of an impurity, and is p+. Impregnation field 21' of an impurity is n+. It is formed in the front-face side in impregnation field 20' of an impurity.

[0029] The mask layer 22 is removed, and if activation annealing is performed separately, the protection diode Di of activation and coincidence of the impurity range of Transistor Tr, or the structure shown in drawing 3 will be formed. after that -- plug 8b by the side of the transistor of drawing 2, the connection layer 9, a plug 12, and \*\*\*\*\* -- it is the same process, and plug 8c, the connection layer 10, and a plug 13 are formed on the protection diode Di, and the connection structure to a sensing pad electrode is completed.

[0030] Cascade screens, such as Ti or Ti/TiN/Ti, are formed by the sputtering method, and aluminum alloys, such as aluminum or aluminum silicide, are

made to deposit by the sputtering method further on the 2nd interlayer insulation film 11, so that it may touch on the plug 12 of the 2nd layer, and 13. This cascade screen is separated in the shape of a grid in pattern NINGU, and the sensing pad electrode SP which consists of layered products, such as a barrier metal layer and an aluminum layer, is formed.

[0031] For example, with a CVD method, as it embeds a bonnet and inter-electrode for the sensing pad electrode SP top, silicon nitride is made to deposit on the whole surface, and a protective coat 14 is formed. The fingerprint sensor 1 concerned is completed through processes, such as carrying out the opening of the required portions, such as a bonding pad, to a protective coat 14 after that.

[0032] Below, actuation of the fingerprint sensor 1 concerning this operation gestalt is explained. Drawing when a detector-ed touches drawing 5 (A) with the fingerprint sensor 1 with a finger, and the expanded sectional view which illustrates the physical relationship of a fingerprint and a fingerprint sensor are shown. Moreover, the representative circuit schematic of two cels corresponding to each pole of the irregularity of a fingerprint is shown in drawing 5 (B) at this time. In addition, actually, in order to obtain high resolution, the pitch of a cel is fully smaller [ in this drawing, it is greatly drawn as if the cel in the fingerprint sensor 1 was formed in the

pitch which seldom changes to a fingerprint, but ] than the magnitude of a fingerprint.

[0033] Generally, if effective area of epsilon 0 and a capacitor electrode is set to S and inter-electrode distance is set to d for the dielectric constant of epsilon and a vacuum, the electrostatic-capacity value CS of a capacitor can express the specific inductive capacity of a capacitor dielectric with a degree type.

[0034]

[Equation 1]  $CS = \epsilon \cdot \epsilon_0 \cdot S / d$  -- (1)

[0035] In drawing 5, by the condition of not performing fingerprint detection, in all the cels formed in the fingerprint detection side (upper surface of drawing 2) of the fingerprint sensor 1, the capacitor inter-electrode distance d becomes infinity, therefore it is set to electrostatic-capacity value  $CS = 0$  in all cels.

[0036] When a finger describes the fingerprint detection side of the fingerprint sensor 1 at the time of actuation, as shown in drawing 5, the 1st capacitor CAP 1 is formed through a protective coat 14 and an opening between the sensing pad electrode SP 1 in the 1st cel, and fingerprint 200a of a finger 200. Moreover, within the 2nd cel, the 2nd capacitor CAP 2 is formed only through a protective coat 14 between the sensing pad electrode SP 2 and the valley of fingerprint 200a.

[0037] The electrostatic-capacity value of which this capacitor can be calculated by the above mentioned (1) formula. Now, it is assumed to a fingerprint 200 that a cell pitch is small enough. At this time, it does not interfere using the specific inductive capacity (for example, specific inductive capacity  $\epsilon_{\text{SiO}_2}$  of silicon oxide) of an insulator layer 14 with the 2nd capacitor CAP 2. On the other hand, in the 1st capacitor CAP 1, the weighted average efficiency according to the distance of the specific inductive capacity of an insulator layer 14 and the specific inductive capacity of air is used as specific inductive capacity  $\epsilon_{\text{air}}$ . Moreover, since the 1st cell is located in the valley of fingerprint 200a also about distance  $d$ , the inter-electrode distance  $d$  of the 1st capacitor CS 1 is maximum  $d_1$ . It can approximate, and within the 2nd cell, since fingerprint 200a touches on the insulator layer 14 of the sensing pad electrode SP upper part, the inter-electrode distance of the 2nd capacitor CS 2 can be approximated by the insulator layer thickness  $d_2$  which is the minimum value.

[0038] Under these premises, the electrostatic-capacity value of a capacitor CAP 1 takes the minimum value, and the electrostatic-capacity value of the capacitor CAP 2 in the 2nd cell takes maximum. Moreover, the middle cell between the 1st cell and the 2nd cell takes the electrostatic-capacity value which

continues, increases gradually or dwindles between the minimum value and maximums, and changes.

[0039] In the cell circuitry of drawing 5 (B), bit lines BL1 and BL2 are precharged to predetermined potential (for example, supply voltage VCC or touch-down potential), and potential change is carried out high-level from a low level for activation of the word lines WL1 and WL2 chosen at the time of fingerprint detection. Thereby, the transistors Tr1 and Tr2 which are the switching elements connected to the word lines WL1 or WL2 concerned turn on all at once. Thereby, the charge of the amount corresponding to the electrostatic-capacity value of the magnitude according to the distance of the sensing pad electrode SP and fingerprint of a finger is supplied from each bit lines BL1 or BL2 for every cell. Or the charge by which induction was carried out to the sensing pad electrode SP according to the electrostatic-capacity value of a cell proper is emitted to bit lines BL1 or BL2. Therefore, in the bit line group in a fingerprint sensor, the potential change corresponding to the 1-dimensional fingerprint pattern of the direction of a word line concerned appears.

[0040] It is the load carrying capacity CB of CS and a bit line about the electrostatic-capacity value of a capacitor. Potential change  $\Delta V_n$  appeared to a

bit line when Transistor Tr is made to turn on where it set and a bit line is precharged with supply voltage VCC It can express with the following formulas. [0041]

[Equation 2]

$\Delta V_n = [CS/(CB+CS)] \cdot V_{CC} \quad (2)$

[0042] In the above-mentioned example, the electrostatic-capacity value of the 1st capacitor CAP 1 from min and the electrostatic-capacity value of the 2nd capacitor CAP 2 being maxes This bit line potential change  $\Delta V_n$  Max is taken with the bit line BL2 to which min and the 2nd capacitor CAP 2 were connected with the bit line BL1 to which the 1st capacitor CAP 1 was connected, and potential change of the bit line to which that middle cel was connected dwindles or increases between the maximum potential and the minimum potential gradually.

[0043] This potential change  $\Delta V_n$  It is the fingerprint sensor exterior or the interior, for example, changes into a digital signal after amplification, and accumulates in the response address of a predetermined storage means. If only the number of word lines is performed continuously for a short time and carries out the image processing of this actuation if needed, the image data corresponding to a two-dimensional fingerprint pattern can be obtained.

[0044]

[Effect of the Invention] According to the

semiconductor device concerning this invention, electrification of the superfluous amount of charges of a sensing pad electrode and rapid charge transfer are promptly removed by the safeguard, and, for this reason, there is an advantage that a switching element etc. is not destroyed on the occasion of fingerprint detection even if there is discharge of static electricity by the finger and sensing pad inter-electrode. Moreover, by the manufacture method of the semiconductor device concerning this invention, there are few processes for forming, the safeguard, for example, protection DAODO, for the electrostatic-discharge prevention, and they end, and there is an advantage which can control the increase of cost to the minimum.

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the plan of the fingerprint sensor concerning this operation gestalt.

[Drawing 2] It is the cross section which met the A-A' line in drawing 1 of the fingerprint sensor concerning this operation gestalt.

[Drawing 3] It is the expanded sectional view of drawing 1 showing the protection diode structure in the fingerprint sensor concerning this operation gestalt.

[Drawing 4] In manufacture of the

fingerprint sensor concerning this operation gestalt, it is the cross section showing a protection diode formation process especially.

[Drawing 5] When a detector touches the fingerprint sensor concerning this operation gestalt with a finger, they are the expanded sectional view which illustrates the physical relationship of a fingerprint and a fingerprint sensor, and the representative circuit schematic of two cells corresponding to the irregularity of a fingerprint.

[Drawing 6] Drawing 6 is the cell cross section of the semiconductor device for the conventional electrostatic-capacity type fingerprint detection.

[Drawing 7] Drawing 6 is a mimetic diagram for explaining the trouble of the semiconductor device for the conventional fingerprint detection.

#### [Description of Notations]

1 -- A fingerprint sensor (semiconductor device), 2 -- Semiconductor substrate (or semiconductor layer), 3 [ -- Source drain impurity range, ] -- An isolation insulating layer, 4 -- A gate insulator layer, 5 -- A gate electrode, 6a, 6b 7 -- The 1st interlayer insulation film, 8a, 8b, 8c -- 9 The plug of the 1st layer, 10 -- Connection layer, 11 -- 12 The 2nd interlayer insulation film, 13 -- The plug of the 2nd layer, 14 -- Protective coat, 20 -- A cathode impurity range, 21 -- An anode impurity range, 20', 21' -- Impurity installation field, 22 [ -- Sensing pad

electrode, ] -- A mask layer, 200 -- A finger, 200a -- A fingerprint, SP, SP1, SP2 Tr, Tr1, Tr2 [ -- A bit line, WL1 grade / -- A word line and CS / -- An electrostatic-capacity value, CB -- Bit line capacity. ] -- A transistor (switching element), Di -- Protection diode (safeguard), CAP1 grade -- A capacitor, BL1 grade

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-133213

(P2001-133213A)

(43)公開日 平成13年5月18日(2001.5.18)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
G 0 1 B 7/34	1 0 2	G 0 1 B 7/34	1 0 2 A 2 F 0 6 3
A 6 1 B 5/117		7/28	H 4 C 0 3 8
G 0 1 B 7/28		A 6 1 B 5/10	3 2 2 5 B 0 4 7
G 0 6 T 1/00		G 0 6 F 15/64	G 5 F 0 3 8
H 0 1 L 27/04		H 0 1 L 27/04	H

審査請求 未請求 請求項の数 5 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願平11-317228

(22)出願日 平成11年11月8日(1999.11.8)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小塩 賢治

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

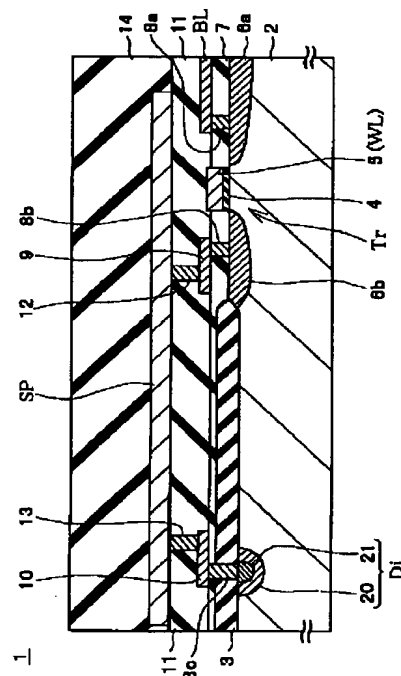
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】指とセンシングパッド電極間で静電気の放電があってもスイッチング素子などが破壊されない構造の指紋センサを提供する。

【解決手段】半導体基板（または基板に支持された半導体層）2に形成されたスイッチング素子T<sub>r</sub>と、その一方の不純物領域6bに接続され、検出対象物（指）との間の静電容量値に応じた量の電荷が誘起、またはスイッチング素子T<sub>r</sub>を介して供給されるセンシングパッド電極S<sub>P</sub>とを有する。センシングパッド電極S<sub>P</sub>に接続され、センシングパッド電極S<sub>P</sub>に印加または蓄積された過剰な電荷を逃がす保護手段、たとえば保護ダイオードD<sub>i</sub>が、半導体基板2に形成されている。





## 【特許請求の範囲】

【請求項 1】半導体基板または基板に支持された半導体層に形成されたスイッチング素子と、当該スイッチング素子の一方の不純物領域に接続され、検出対象物との間の静電容量値に応じた量の電荷が誘起、または上記スイッチング素子を介して供給されるセンシングパッド電極とを有する半導体装置であって、上記センシングパッド電極に接続され、センシングパッド電極に印加または蓄積された過剰な電荷を逃がす保護手段が、上記半導体基板または半導体層に形成されている半導体装置。

【請求項 2】上記保護手段は、上記半導体基板または半導体装置の表面に形成された第 1 導電型の第 1 不純物領域と、当該第 1 不純物領域内の表面に形成された第 2 導電型の第 2 不純物領域とからなるダイオードである請求項 1 に記載の半導体装置。

【請求項 3】上記第 1 不純物領域の電位を基準とした上記第 2 不純物領域の耐圧が、上記センシングパッド電極が接続されたスイッチング素子の一方の不純物領域の耐圧より低く設定されている請求項 2 に記載の半導体装置。

【請求項 4】上記スイッチング素子は、ゲートに印加する制御電圧に応じてオンまたはオフする絶縁ゲート電界効果トランジスタである請求項 1 に記載の半導体装置。

【請求項 5】半導体基板または基板に支持された半導体層に形成されたスイッチング素子と、当該スイッチング素子の一方の不純物領域に接続され、検出対象物との間で静電容量値に応じた量の電荷が誘起、または上記スイッチング素子を介して供給されるセンシングパッド電極と、上記センシングパッド電極に接続して上記半導体基板または半導体層に形成され、センシングパッド電極に印加または蓄積された過剰な電荷を逃がす保護手段とを有する半導体装置の製造方法であって、上記保護手段として、上記半導体基板または半導体層内の表面に形成された第 1 導電型の第 1 不純物領域と、当該第 1 不純物領域内の表面に形成された第 2 導電型の第 2 不純物領域とからなるダイオードを形成する際に、少なくとも外側の第 1 不純物領域の形成時に斜めのイオン注入を用いる半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、静電容量式の指紋センサとして用いることができ、静電気などによるスイッチング素子の破壊を有効に防止できる構造の半導体装置と、その製造方法に関する。

## 【0002】

【従来の技術】従来、入退室管理などの用途に利用されることが多かった指紋照合システムは、近年、コンピュータネットワーク上のセキュリティシステムや、携帯端末などにおける本人認証ツールとして注目されてきている。指紋照合システムで用いる指紋検出方法には、光学

式検出法と、静電容量式検出法とがある。静電容量式検出法は、指紋センサの電極と指との間の静電容量値（以下、単に容量値ともいう）を検知する方法であり、携帯端末などに搭載するには装置を小型化しやすい静電容量式が有利であるため、静電容量式指紋センサの開発が積極的に進められている。

【0003】図 6 は、静電容量式の指紋検出用半導体装置のセル断面図である。この指紋検出用半導体装置（以下単に、指紋センサという）は、特に図示しないが、正方形のセルを行列状に多数配置したセルアレイ構造を有する。

【0004】図 6 に示すセル内において、半導体基板 100 の表面に素子分離絶縁層 101 が形成され、素子分離絶縁層 101 の周囲の能動領域上に、ゲート絶縁膜 102 を介してワード線となるゲート電極 103 が形成されている。ゲート電極 103 両側の能動領域に、ソース・ドレイン不純物領域 104a、104b が形成されている。これにより、各セルごとに、スイッチング用のトランジスタ Tr が形成されている。トランジスタ Tr のソース・ドレイン不純物領域 104a、104b および素子分離絶縁層 101 上に第 1 層間絶縁膜 105 が形成され、第 1 層間絶縁膜 105 上にビット線 BL および接続層 106 が形成されている。そして、トランジスタ Tr の一方のソース・ドレイン不純物領域 104a は、ビット線 BL に接続されている。

【0005】ビット線 BL および接続層 106 上に第 2 層間絶縁膜 107 が形成され、第 2 層間絶縁膜 107 上にセンシングパッド電極 SP が形成されている。センシングパッド電極 SP は、例えば Ti などからなるバリアメタル層とアルミニウム層などの積層体などからなり、接続層 106 を介して、トランジスタ Tr の他方のソース・ドレイン不純物領域 104b に接続されている。センシングパッド電極 SP は、特に図示しないが、セルのほぼ全域を覆いセル間で孤立した方形パターンにて形成されている。センシングパッド電極 SP の上面および側面を被覆するように、半導体チップの表面全域に、例えば窒化シリコンからなる保護膜 108 が形成されている。

【0006】このように構成される指紋センサの指紋認識面（図 6 の上面）に、動作時に指で触れると、保護膜 108 を介して、センシングパッド電極 SP と指との間で静電容量（キャパシタ）が形成される。このとき保護膜 108 は、キャパシタ絶縁膜の一部として機能する。各セルサイズは、通常、指の指紋ピッチより狭く形成されているため、このキャパシタの容量値は、たとえば指紋を横切る方向のセル間で連続的に変化する。具体的に、指紋の凸部が実際に接触しているセルでは、キャパシタ絶縁膜厚が保護膜 108 の膜厚とほぼ一致し容量値が最大となる。この容量最大のセルから離れるにしたがって容量値が漸減し、指紋の凸部間の谷間中心に対応し

たセルで最小値をとる。このような容量値変化の分布をセルアレイ内で2次的にとると、各人固有の指紋が検出できる。

【0007】たとえば、ビット線BLを所定電位（たとえば電源電圧 $V_{CC}$ または接地電位）にプリチャージしておき、指紋検出時に選択されたワード線WLを活性化して、当該ワード線WLに接続されたスイッチング素子であるトランジスタ $T_r$ を一斉にオンさせる。これにより各セルごとに、そのセンシングパッド電極SPと指の指紋との距離に応じた静電容量値に対応した量の電荷がビット線BLから供給される。あるいは、セル固有の静電容量値に応じてセンシングパッド電極SPに誘起されていた電荷がビット線BLに放出される。したがって、指紋センサ内のビット線群には、当該ワード線方向の1次元指紋パターンに対応した電位変化が現出する。この電位変化を指紋センサ外部または内部で、たとえば増幅後にデジタル信号に変換し、所定の記憶手段の対応アドレスに蓄積する。この動作を、ワード線数だけ短時間で連続して行くと、2次元の指紋パターンに対応した画像データを得ることができる。

#### 【0008】

【発明が解決しようとする課題】しかしながら、人間の体は一般的に帯電することがあるので、上記した従来の指紋センサにおいては、図7に示すように、指紋センサの指紋検出面に、帯電した人が指200を近づけたときに静電気がセンシングパッド電極SPに放電されてしまい、指紋センサが破損してしまうことがある。

【0009】本発明の目的には、指紋検出に際し、指とセンシングパッド電極間で静電気の放電があってもスイッチング素子などが破壊されない構造の半導体装置と、その製造方法を提供することにある。

#### 【0010】

【課題を解決するための手段】本発明に係る半導体装置は、半導体基板または基板に支持された半導体層に形成されたスイッチング素子と、当該スイッチング素子の一方の不純物領域に接続され、検出対象物との間の静電容量値に応じた量の電荷が誘起、または上記スイッチング素子を介して供給されるセンシングパッド電極とを有する半導体装置であって、上記センシングパッド電極に接続され、センシングパッド電極に印加または蓄積された過剰な電荷を逃がす保護手段が、上記半導体基板または半導体層に形成されている。

【0011】好適に、上記保護手段は、上記半導体基板または半導体装置の表面に形成された第1導電型の第1不純物領域と、当該第1不純物領域内の表面に形成された第2導電型の第2不純物領域とからなるダイオードである。また、この場合、上記第1不純物領域の電位を基準とした上記第2不純物領域の耐圧が、上記センシングパッド電極が接続されたスイッチング素子の一方の不純物領域の耐圧より低く設定されていることが望ましい。

【0012】このような構成の半導体装置では、検出対象物がスイッチング素子形成面側に近づくとき、当該検出対象物とセンシングパッド電極との距離に応じて、検出対象物を一方電極としセンシングパッドを他方電極とするキャパシタの静電容量値が定まる。この状態で、スイッチング素子をオンさせると、上記キャパシタを充放電する際の電荷がビット線との間に移動する。この電荷量の大小は上記静電容量値に応じて決まるため、電荷移動によるビット線の電位変化は、検出対象物とセンシングパッド電極との距離を反映したものとなる。この動作原理により検出対象物との距離が検出できるため、センシングパッド電極とスイッチング素子からなるセルを多数行列状に並べてセルアレイを構成させると、指紋などの微細な2次元パターンの検出が可能となる。つまり、セルピッチを指紋のピッチより十分小さくすると、センシングパッド電極と指との距離が指紋の凹凸で変わるため、この距離分布を2次元で測定することで指紋の形状パターンが得られる。

【0013】本発明の半導体装置では、この指紋検出時に人体に静電気が帯電されていた場合に、指とセンシングパッド電極間で放電が起きても、この放電による急激な電化移動がスイッチング素子内を通過しない。つまり、この放電により発生した電荷は、保護手段から半導体基板または半導体層内に流れてセンシングパッド電極から速やかに除電される。したがって、センシングパッド電極が接続されたスイッチング素子の電極に放電により発生した電荷が印加されることがない。あるいは、瞬間的に印加されたとしても、直ぐに取り除かれる。

【0014】本発明に係る半導体装置の製造方法は、半導体基板または基板に支持された半導体層に形成されたスイッチング素子と、当該スイッチング素子の一方の不純物領域に接続され、検出対象物との間で静電容量値に応じた量の電荷が誘起、または上記スイッチング素子を介して供給されるセンシングパッド電極と、上記センシングパッド電極に接続して上記半導体基板または半導体層に形成され、センシングパッド電極に印加または蓄積された過剰な電荷を逃がす保護手段とを有する半導体装置の製造方法であって、上記保護手段として、上記半導体基板または半導体層内の表面に形成された第1導電型の第1不純物領域と、当該第1不純物領域内の表面に形成された第2導電型の第2不純物領域とからなるダイオードを形成する際に、少なくとも外側の第1不純物領域の形成時に斜めのイオン注入を用いる。

【0015】この半導体装置の製造方法では、保護手段がダイオードからなる場合に、当該ダイオードのpn接合を構成する外側の第1不純物領域の形成時に、斜めのイオン注入を用いて所定の不純物を所定量、半導体基板または半導体層の表面に導入する。この第1不純物領域の形成時と同じイオン注入マスク（たとえば、レジストまたは絶縁膜のパターン）を用いて、つぎの第2不純物

領域の形成ができる。第 2 不純物領域の形成時のイオン注入を、第 1 不純物領域形成時より浅い角度で行うか、ほとんど角度を付けずに行うと、第 1 不純物領域内の表面側に一回り面積の小さい第 2 不純物領域が自己整合的に形成される。

#### 【0016】

【発明の実施の形態】図 1 は、本実施形態に係る静電容量式の指紋検出用半導体装置（以下、指紋センサ）の平面図である。図 2 は、図 1 中の A-A' 線に沿った断面図、図 3 は、図 2 中の保護ダイオードの拡大断面図である。

【0017】この指紋センサ 1 の各セル内において、図 2 に示すように、半導体基板（基板上の半導体層でも可）2 の表面に素子分離絶縁層 3 が形成され、素子分離絶縁層 3 の周囲の能動領域上に、ゲート絶縁膜 4 を介してワード線 WL となるゲート電極 5 が形成されている。たとえば、ゲート絶縁膜 4 は数～数十 nm の酸化シリコン膜からなり、ゲート電極 5 は百数十～数百 nm のポリシリコンまたはポリサイドからなる。ゲート電極 5 両側の能動領域に、たとえば n 型不純物が比較的高濃度に導入されたソース・ドレイン不純物領域 6 a、6 b が形成されている。これにより、各セルごとに、スイッチング用のトランジスタ Tr が形成されている。

【0018】トランジスタ Tr のソース・ドレイン不純物領域 6 a、6 b および素子分離絶縁層 3 上に、たとえば酸化シリコンからなる第 1 層間絶縁膜 7 が形成されている。第 1 層間絶縁膜 7 を貫いて、ソース・ドレイン不純物領域 6 a に達するプラグ 8 a と、ソース・ドレイン不純物領域 6 b に達するプラグ 8 b が形成されている。

【0019】第 1 層間絶縁膜 7 上に、ビット線 BL および接続層 9 が形成されている。ビット線 BL は、プラグ 8 a 上に形成されることによって、トランジスタ Tr の一方のソース・ドレイン不純物領域 6 a に接続されている。同様に、接続層 9 は、プラグ 8 b 上に形成されることによって、トランジスタ Tr の他方のソース・ドレイン不純物領域 6 b に接続されている。

【0020】ビット線 BL および接続層 9 上に第 2 層間絶縁膜 11 が形成されている。第 2 層間絶縁膜 11 内に、接続層 9 上に接する第 2 層目のプラグ 12 が埋め込まれている。そして、センシングパッド電極 SP が、この第 2 層目のプラグ 12 上に接して第 2 層間絶縁膜 11 上に形成されている。センシングパッド電極 SP は、例えば Ti などからなるバリアメタル層とアルミニウム層などの積層体などからなり、プラグ 12、接続層 9 およびプラグ 8 b を介して、トランジスタ Tr の他方のソース・ドレイン不純物領域 6 b に接続されている。センシングパッド電極 SP は、セルのほぼ全域を覆いセル間で孤立した方形パターンにて形成されている。そして、このセンシングパッド電極 SP が、図 1 に示すように、当該指紋センサのセルアレイ内で規則正しくマトリクス

状に多数配列されている。

【0021】センシングパッド電極 SP の上面および側面を被覆するように、半導体チップの表面全域に、例えば窒化シリコンからなる保護膜 14 が形成されている。

【0022】以上の構成は従来とほぼ同様であるが、本実施形態に係る指紋センサ 1 では、図 2 に示すように、各センシングパッド電極 SP に接続される保護ダイオード Di が半導体基板 2 の表面に形成されている。保護ダイオード Di は、図 3 に拡大して示すように、たとえば素子分離絶縁層 3 の下のシリコン表面に、n 型不純物を比較的高濃度に導入して形成されたカソード不純物領域 20 と、カソード不純物領域 20 内の表面側に、当該カソード不純物領域 20 より一回り小さい面積にて p 型不純物を比較的高濃度に導入して形成されたアノード不純物領域 21 とからなる。アノード不純物領域 21 上には、素子分離絶縁層 3 および第 1 層間絶縁膜（図 3 では省略）を貫いて、図 2 の第 1 層目のプラグ 8 a、8 b と同時に形成されたプラグ 8 c が形成されている。このプラグ 8 c は、トランジスタ Tr 側の接続構造と同様に、第 1 層間絶縁膜上の接続層 10 と第 2 層間絶縁膜 11 内に埋め込まれた第 2 層目のプラグ 13 とを介して、センシングパッド電極 SP に接続されている。

【0023】このような構成の指紋センサの製造では、トランジスタ Tr を従来と同様な方法により形成する。すなわち、特に図示しないが、たとえば、p 型のシリコンウエハからなる半導体基板（または SOI シリコン層、p ウエルなどでも可）2 の表面に LOCOS 法を用いて素子分離絶縁層 3 を形成する。素子分離絶縁層 3 周囲の能動領域の表面を、たとえば薄く熱酸化してゲート絶縁膜 4 を形成する。全面に、ゲート電極 30（ワード線 WL）となるポリシリコンを CVD により成膜し、その成膜途中または成膜後に所定の不純物を導入して導電化する。必要に応じて、ポリシリコン上に高融点金属ポリサイドを形成した後、この導電膜とゲート絶縁膜 4 をパターンニングする。これにより、ゲート絶縁膜 4 とゲート電極 5 の積層体が形成される。この積層体および素子分離絶縁層 3 を自己整合マスクとする n 型不純物のイオン注入により、ゲート電極 5 両側の能動領域に、ソース・ドレイン不純物領域 6 a、6 b を形成する。所定の活性化アニーリングを行うと、スイッチング用トランジスタ Tr が形成される。

【0024】CVD 法により酸化シリコンなどを堆積して、上記トランジスタ Tr を被覆する第 1 層間絶縁膜 7 を形成し、表面を平坦化する。なお、本例では、この平坦化時にゲート電極 5 の上面が表出している。第 1 層間絶縁膜 7 上に、たとえば第 2 層目のポリシリコン膜を成膜し、これをパターンニングして、ビット線 BL および接続層 9 を形成する。ビット線 BL および接続層 9 を埋め込むように、たとえば酸化シリコンからなる第 2 層間絶縁膜 11 を形成する。第 2 層間絶縁膜 11 内に、接続

層 9 上に接するプラグ 12 を、たとえばブランケットタングステン埋め込み法などにより形成する。

【0025】本実施形態では、トランジスタ  $T_r$  の形成前または後の工程で、あるいは場合によっては一部プロセスを共通にしながら、素子分離絶縁層 3 の下に保護ダイオード  $D_i$  を形成する。図 4 に、この保護ダイオードの形成方法を断面図にて示す。

【0026】まず、ダイオード形成領域を開口させた、たとえばレジストなどのマスク層 22 を、素子分離絶縁層 3 上に形成する。図 4 (A) に示すように、このマスク層 22 をエッチングマスクとして RIE などを行い、ダイオードを形成すべきシリコン面を露出させる。

【0027】マスク層 22 を付けたまま、図 4 (B) に示すように、たとえば、イオンの基板面に対する入射角度を 45 度に設定した後に、燐イオン ( $P^+$ ) を注入エネルギー 75 keV、ドーズ  $1 \times 10^{15} / \text{cm}^2$  の条件でイオン注入する。これにより、燐イオン ( $P^+$ ) は素子分離絶縁層 3 の下まで大きく回り込み、素子分離絶縁層 3 の開口部 3a より広い面積で半導体基板 2 に導入される。

【0028】続いて、図 4 (C) に示すように、たとえば、イオンの入射角度を基板面と垂直な面から 7 度と小さく設定し、2 回目のイオン注入を行う。この 2 回目のイオン注入では、たとえば、ホウ素イオン ( $BF_2^+$ ) を注入エネルギー 35 keV、ドーズ  $5 \times 10^{15} / \text{cm}^2$  の条件でイオン注入する。これにより、ホウ素イオン ( $BF_2^+$ ) は素子分離絶縁層 3 の下まで若干回り込むが、1 回目のイオン注入より注入角度が小さいため、 $n^+$  不純物の注入領域 20' より一回り小さい面積で、 $p^+$  不純物の注入領域 21' が  $n^+$  不純物の注入領域 20' 内の表面側に形成される。

【0029】マスク層 22 を除去し、トランジスタ  $T_r$  の不純物領域の活性化と同時に、あるいは別個に活性化アニーリングを行うと、図 3 に示す構造の保護ダイオード  $D_i$  が形成される。その後は、図 2 のトランジスタ側のプラグ 8b、接続層 9、プラグ 12 とそれぞれ同じ工程で、プラグ 8c、接続層 10、プラグ 13 を保護ダイオード  $D_i$  上に形成し、センシングパッド電極への接続構造を完成する。

【0030】第 2 層間絶縁膜 11 上に、第 2 層目のプラグ 12、13 上に接するように、例えばスパッタリング法により  $Ti$  あるいは  $Ti / TiN / Ti$  などの積層膜を成膜し、さらにスパッタリング法によりアルミニウムあるいはアルミニウムシリサイドなどのアルミニウム合金を堆積させる。この積層膜を、パターンニングにて格子状に分離し、バリアメタル層とアルミニウム層などの積層体からなるセンシングパッド電極  $SP$  を形成する。

【0031】例えば CVD 法により、センシングパッド電極  $SP$  上を覆い、電極間を埋め込むようにして全面に窒化シリコンを堆積させ、保護膜 14 を形成する。その

後は、保護膜 14 に対しボンディングパッドなど必要な部分を開口するなどの工程を経て、当該指紋センサ 1 を完成させる。

【0032】つぎに、本実施形態に係る指紋センサ 1 の動作について説明する。図 5 (A) に、指紋センサ 1 を被検出者が指で触れたときの図と、指紋と指紋センサとの位置関係を例示する拡大断面図を示す。また、図 5

(B) に、このとき指紋の凹凸の各極点に対応する 2 セルの等価回路図を示す。なお、この図では、指紋センサ 1 内のセルが、指紋と余り変わらないピッチで形成されているかのように大きく描かれているが、実際には、高い分解能を得るためにセルのピッチは指紋の大きさより十分に小さい。

【0033】一般に、キャパシタ誘電体の比誘電率を  $\epsilon$ 、真空の誘電率を  $\epsilon_0$ 、キャパシタ電極の有効面積を  $S$ 、電極間の距離を  $d$  とすると、キャパシタの静電容量値  $C_S$  は次式で表すことができる。

【0034】

$$\text{【数 1】 } C_S = \epsilon \cdot \epsilon_0 \cdot S / d_n \cdots (1)$$

【0035】図 5 において、指紋検出を行わない状態では、指紋センサ 1 の指紋検出面 (図 2 の上面) に形成された全てのセルにおいてキャパシタ電極間距離  $d$  が  $\infty$  となり、したがって全てのセルで静電容量値  $C_S = 0$  となる。

【0036】指紋センサ 1 の指紋検出面に、動作時に指で触れたときに、図 5 に示すように、第 1 セル内のセンシングパッド電極  $SP1$  と指 200 の指紋 200a との間に、保護膜 14 および空隙を介して第 1 のキャパシタ  $CAP1$  が形成される。また、第 2 セル内では、センシングパッド電極  $SP2$  と指紋 200a の谷間との間に、保護膜 14 のみを介して第 2 のキャパシタ  $CAP2$  が形成される。

【0037】この何れのキャパシタの静電容量値は前記した (1) 式で求めることができる。いま、指紋 200 に対してセルピッチが十分に小さいと仮定する。このとき、第 2 キャパシタ  $CAP2$  では絶縁膜 14 の比誘電率 (たとえば、酸化シリコンの比誘電率  $\epsilon_{ox}$ ) を用いて差し支えない。これに対し、第 1 キャパシタ  $CAP1$  では、比誘電率  $\epsilon$  として、絶縁膜 14 の比誘電率と空気の比誘電率との距離に応じた加重平均値が用いられる。また、距離  $d$  に関しても、第 1 セルが指紋 200a の谷間に位置するため、その第 1 キャパシタ  $CS1$  の電極間距離  $d$  は最大値  $d_1$  で近似でき、また、第 2 セル内では、センシングパッド電極  $SP$  上方の絶縁膜 14 上に指紋 200a が接触しているため、第 2 キャパシタ  $CS2$  の電極間距離は最小値である絶縁膜厚  $d_2$  で近似できる。

【0038】これらの前提の下では、キャパシタ  $CAP1$  の静電容量値は最小値をとり、第 2 セル内のキャパシタ  $CAP2$  の静電容量値は最大値をとる。また、第 1 セルと第 2 セルの間の中間のセルは、最小値と最大値の間

を連続して漸増または漸減して変化する静電容量値をとる。

【0039】図5(B)のセル回路構成において、ビット線BL1、BL2を所定電位(たとえば電源電圧 $V_{CC}$ または接地電位)にプリチャージしておき、指紋検出時に選択されたワード線WL1、WL2を活性化のために、たとえばローレベルからハイレベルに電位変化させる。これにより、当該ワード線WL1またはWL2に接続されたスイッチング素子であるトランジスタTr1およびTr2が一斉にオンする。これにより各セルごとに、そのセンシングパッド電極SPと指の指紋との距離に応じた大きさの静電容量値に対応した量の電荷が各ビット線BL1またはBL2から供給される。あるいは、セル固有の静電容量値に応じてセンシングパッド電極SPに誘起されていた電荷がビット線BL1またはBL2に放出される。したがって、指紋センサ内のビット線群には、当該ワード線方向の1次元指紋パターンに対応した電位変化が現出する。

【0040】キャパシタの静電容量値を $C_S$ 、ビット線の負荷容量 $C_B$ において、ビット線を電源電圧 $V_{CC}$ でプリチャージした状態でトランジスタTrをオンさせたとき、ビット線に現出する電位変化 $\Delta V_n$ は、以下の式で表すことができる。

【0041】

【数2】

$$\Delta V_n = [C_S / (C_B + C_S)] \cdot V_{CC} \cdots (2)$$

【0042】上記例では、第1キャパシタCAP1の静電容量値が最小、第2キャパシタCAP2の静電容量値が最大であることから、このビット線電位変化 $\Delta V_n$ も、第1キャパシタCAP1が接続されたビット線BL1で最小、第2キャパシタCAP2が接続されたビット線BL2で最大をとり、その中間のセルが接続されたビット線の電位変化が最大電位と最小電位間を漸減または漸増する。

【0043】この電位変化 $\Delta V_n$ を指紋センサ外部または内部で、たとえば増幅後にデジタル信号に変換し、所定の記憶手段の対応アドレスに蓄積する。この動作を、ワード線数だけ短時間で連続して行い、必要に応じて画像処理すると、2次元の指紋パターンに対応した画像データを得ることができる。

【0044】

【発明の効果】本発明に係る半導体装置によれば、センシングパッド電極の過剰な電荷量の帯電、急激な電荷移動が保護手段によって速やかに取り除かれ、このため、指紋検出に際し、指とセンシングパッド電極間で静電気の放電があってもスイッチング素子などが破壊されないという利点がある。また、本発明に係る半導体装置の製造方法では、その静電破壊防止のための保護手段、たとえば保護ダーオードを形成するための工程が少なくて済み、コスト増を最小限に抑制できる利点がある。

10 【図面の簡単な説明】

【図1】本実施形態に係る指紋センサの平面図である。

【図2】本実施形態に係る指紋センサの、図1中のA-A'線に沿った断面図である。

【図3】本実施形態に係る指紋センサ内の保護ダイオード構造を示す図1の拡大断面図である。

【図4】本実施形態に係る指紋センサの製造において、とくに保護ダイオード形成工程を示す断面図である。

【図5】本実施形態に係る指紋センサを被検出者が指で触れた際、指紋と指紋センサとの位置関係を例示する拡大断面図、および、指紋の凹凸に対応する2セルの等価回路図である。

【図6】図6は、従来の静電容量式指紋検出用の半導体装置のセル断面図である。

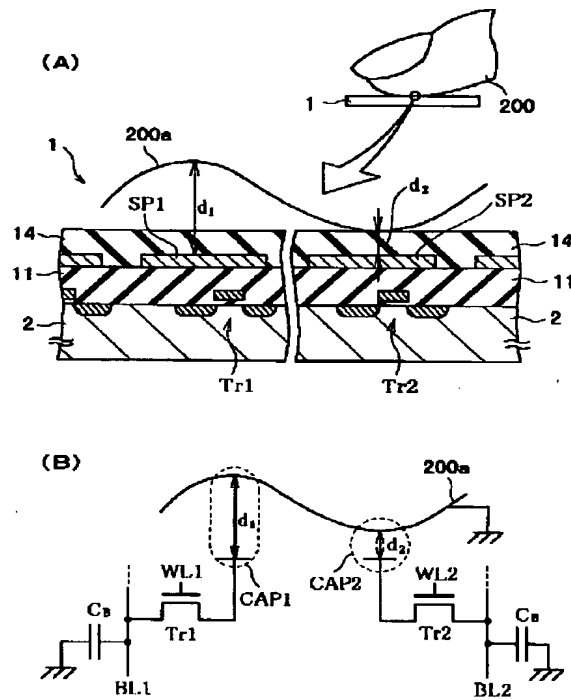
【図7】図6は、従来の指紋検出用の半導体装置の問題点を説明するための模式図である。

【符号の説明】

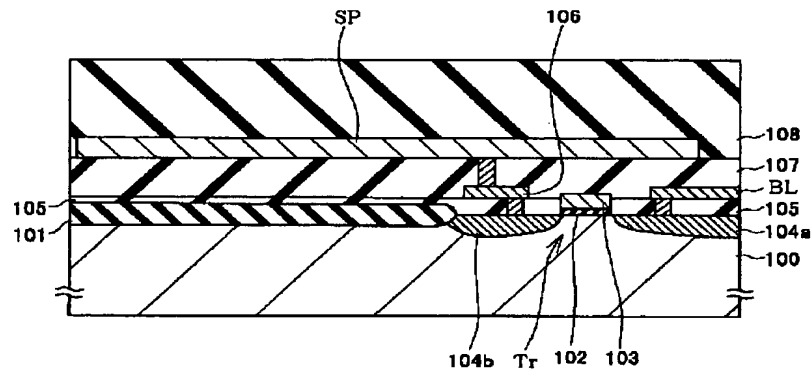
1…指紋センサ(半導体装置)、2…半導体基板(または半導体層)、3…素子分離絶縁層、4…ゲート絶縁膜、5…ゲート電極、6a、6b…ソース・ドレイン不純物領域、7…第1層間絶縁膜、8a、8b、8c…第1層目のプラグ、9、10…接続層、11…第2層間絶縁膜、12、13…第2層目のプラグ、14…保護膜、20…カソード不純物領域、21…アノード不純物領域、20'、21'…不純物導入領域、22…マスク層、200…指、200a…指紋、SP、SP1、SP2…センシングパッド電極、Tr、Tr1、Tr2…トランジスタ(スイッチング素子)、Di…保護ダイオード(保護手段)、CAP1等…キャパシタ、BL1等…ビット線、WL1等…ワード線、 $C_S$ …静電容量値、 $C_B$ …ビット線容量。



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. <sup>7</sup>  
H01L 21/822

識別記号

F I

テーマコード (参考)

F ターム(参考) 2F063 AA43 AA50 BA29 BB01 BB02  
BD05 BD06 CA19 CA28 DA02  
DB05 DD07 HA04 HA09 HA10  
HA11 HA16 HA20 LA09  
4C038 FF01 FG00  
5B047 AA25 BC01  
5F038 AC05 AC15 AZ07 BE10 BH05  
BH13 CA10 EZ13 EZ20